

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-051549

(43)Date of publication of application : 15.02.2002

(51)Int.Cl.

H02M 3/28
H01L 27/04
H01L 21/822

(21)Application number : 2000-232616

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 01.08.2000

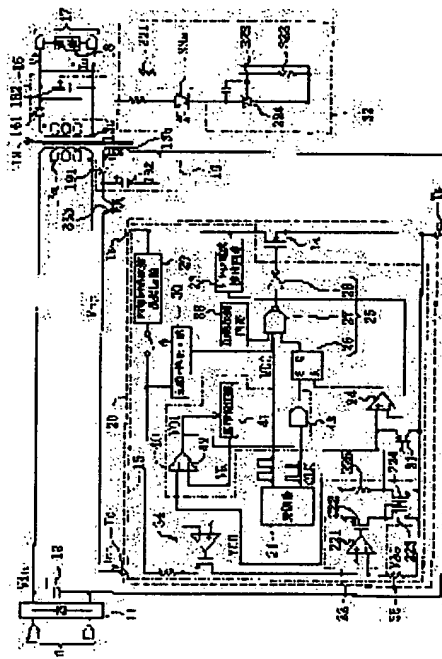
(72)Inventor : SHIOMI AKIRA
MORI YOSHIHIRO
TAKAHASHI OSAMU
HAYASHI KAZUHARU
YAMASHITA TETSUJI

(54) SEMICONDUCTOR DEVICE FOR SWITCHING POWER SUPPLY

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption and enhance the efficiency of power supply by reducing switching loss under light load through simple constitution.

SOLUTION: A control circuit 15 includes a feedback voltage conversion circuit 22 that is fed as input with feedback signals I_{cc} from an output voltage detection circuit 32 and converts the signals into feedback voltage signals V_{CO} varying in the direction opposite to the increase/decrease thereof, a current detection circuit 23 that detects drain current I_D and outputs element current detection signals V_{CL} , and a comparator 24 for drain current detection that compares the feedback voltage signals V_{CO} with the element current detection signals V_{CL} . Further, the control circuit 15 is provided with a light load detection circuit 40 that causes a switching signal control circuit 25 to stop the output of switching signals to a switching element 14 if the feedback voltage signal V_{CO} is lower than the lower limit voltage value, and causes the switching signal control circuit 25 to start the output of switching signals if the feedback voltage signal V_{CO} is higher than the upper limit voltage value.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

<English translation>

Relevant portion extracted from the description of
Japanese Patent Application Laid-open No. 2002-051549
published on February 15, 2002

The feedback voltage conversion circuit 22 that is fed as input with the feedback signal I_{cc} from the output voltage detection circuit 32 via the resistor and the second shunt regulator 34, and converts the signal into the feedback voltage signal V_{CO} varying in the direction opposite to the increase/decrease thereof.

The light load detection circuit 40 that causes the switching signal control circuit 25 to stop the output of switching signals to the switching element 14 if the feedback voltage signal V_{CO} is lower than the lower limit voltage value, and causes the switching signal control circuit 25 to start the output of switching signals if the feedback voltage signal V_{CO} is higher than the upper limit voltage value.

Thus, according to the output signal $VO1$ of the comparator 42 for light load detection, the output voltage VR of the reference voltage supply 41 outputs the lower limit voltage $VR1$ or outputs the upper limit voltage $VR2$, whereby intermittent oscillation operation which will be later mentioned can be performed for the switching signal control circuit 25 when a load is light.

Even when the reference voltage VR output from the reference voltage supply 41 detects a light load condition to suspend switching operation and even if the reference voltage VR changes from the lower limit voltage value $VR1$ to the upper limit voltage value $VR2$ to raise the feedback voltage signal V_{CO} , the hysteresis characteristics are given so that the switching operation may not start promptly.

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-51549

(P 2 0 0 2 - 5 1 5 4 9 A)

(43) 公開日 平成14年2月15日 (2002. 2. 15)

(51) Int. Cl. ⁷

識別記号

F I

テ-マコード (参考)

H02M 3/28

H02M 3/28

H 5F038

H01L 27/04

H01L 27/04

B 5H730

21/822

審査請求 未請求 請求項の数 7 O L (全12頁)

(21) 出願番号 特願2000-232616 (P 2000-232616)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22) 出願日 平成12年8月1日 (2000. 8. 1)

(72) 発明者 塩見 陽

大阪府高槻市幸町1番1号 松下電子工業
株式会社社内

(72) 発明者 森 吉弘

大阪府高槻市幸町1番1号 松下電子工業
株式会社社内

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

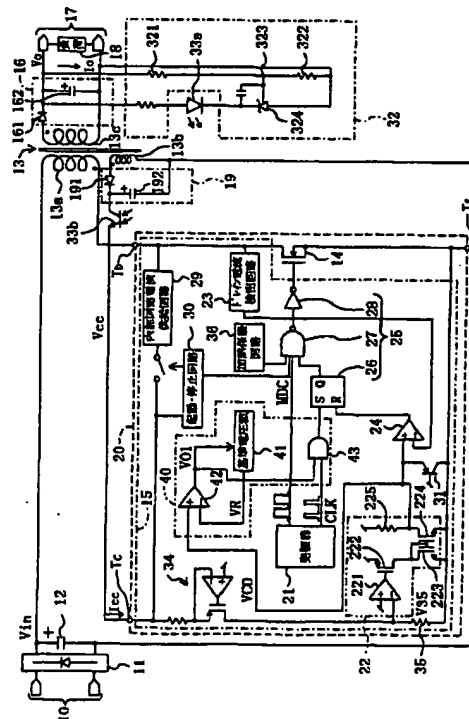
最終頁に続く

(54) 【発明の名称】 スイッチング電源用半導体装置

(57) 【要約】

【課題】 簡単な構成で軽負荷時のスイッチング損失を減らすことにより、消費電力を削減して電源効率を向上することができるようにする。

【解決手段】 制御回路15は、出力電圧検出回路32からの帰還信号1ccが入力され、その増減と反対の向きに変化する帰還電圧信号VCOに変換する帰還電圧変換回路22と、ドレイン電流IDを検出して素子電流検出信号VCLを出力する電流検出回路23と、帰還電圧信号VCOと素子電流検出信号VCLとを比較するドレイン電流検出用比較器24とを有している。さらに、制御回路15は、帰還電圧信号VCOが下限電圧値よりも小さい場合に、スイッチング信号制御回路25に対してスイッチング素子14へのスイッチング信号の出力を停止し、帰還電圧信号VCOが上限電圧値よりも大きい場合に、スイッチング信号制御回路25に対してスイッチング信号の出力を開始する軽負荷検出回路40を有している。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 入力端子に第 1 の直流電圧を受けるスイッチング素子と、前記スイッチング素子からの出力信号を受け、前記第 1 の直流電圧を該第 1 の直流電圧の絶対値よりも小さい第 2 の直流電圧に変換して出力する出力電圧生成回路と、前記スイッチング素子の動作を制御する制御回路と、前記第 2 の直流電圧の電圧値を検出し、検出した信号を帰還信号として前記制御回路に帰還する出力電圧検出回路と、前記制御回路の電源電圧を生成する電源電圧生成回路とを備えたスイッチング電源装置を制御するスイッチング電源用半導体装置であって、前記スイッチング電源用半導体装置は、前記スイッチング素子及び前記制御回路を含み、前記制御回路は、前記スイッチング素子に印加するスイッチング信号を生成して出力する発振器と、前記スイッチング素子を流れる電流を検出し、素子電流検出信号として出力する電流検出回路と、前記帰還信号を検出し、検出した帰還信号をその増減と反対の向きに変化する帰還電圧信号に変換して出力する帰還電圧変換回路と、前記素子電流検出信号と前記帰還電圧信号とを比較し、比較した比較信号を出力する比較器と、前記比較信号に基づいて前記スイッチング信号の電流量及び出力を制御するスイッチング信号制御回路と、前記帰還電圧信号が下限電圧値よりも小さい場合には前記スイッチング信号制御回路に対して前記スイッチング素子への前記スイッチング信号の出力を停止し、前記帰還電圧信号が上限電圧値よりも大きい場合には前記スイッチング信号制御回路に対して前記スイッチング信号の出力を開始する軽負荷検出回路とを有していることを特徴とするスイッチング電源用半導体装置。

【請求項 2】 前記軽負荷検出回路は、互いに異なる第 1 の基準電圧及び第 2 の基準電圧を出力する基準電圧源と、一方の入力端子が前記基準電圧源からの出力電圧を受け、他方の入力端子が前記帰還電圧信号を受ける軽負荷検出用比較器とを有し、前記基準電圧源の出力電圧値は、前記軽負荷検出用比較器からの出力信号により、前記下限電圧値又は上限電圧値となるように設定されていることを特徴とする請求項 1 に記載のスイッチング電源用半導体装置。

【請求項 3】 前記基準電圧源は、出力端子を持つ第 1 の定電流源と、下流側に前記軽負荷検出用比較器からの比較信号により開閉されるスイッチが設けられた第 2 の定電流源と、前記第 1 の定電流源からの出力電流及び前記第 2 の定電流源からの出力電流のうちの少なくとも一方を受け、前記第 1 の基準電圧又は前記第 2 の基準電圧を生成する出力電圧設定抵抗器とを有していることを特徴とする請求

項 2 に記載のスイッチング電源用半導体装置。

【請求項 4】 前記上限電圧の値は、前記素子電流検出信号における振幅の最大値の約 20 % であり、前記下限電圧の値は、前記素子電流検出信号における振幅の最大値の約 15 % であることを特徴とする請求項 1 ~ 3 のうちのいずれか 1 項に記載のスイッチング電源装置。

【請求項 5】 前記スイッチング素子及び前記制御回路は、前記スイッチング素子の入力端子及び出力端子、並びに前記制御回路における前記帰還信号が入力される入力端子が外部接続端子となるように一つの半導体基板上に集積化されて形成されていることを特徴とする請求項 1 ~ 4 のうちのいずれか 1 項に記載のスイッチング電源用半導体装置。

【請求項 6】 前記半導体基板は、前記下限電圧又は前記上限電圧の値を調整するための軽負荷検出電圧調整用端子を有していることを特徴とする請求項 5 に記載のスイッチング電源用半導体装置。

【請求項 7】 前記軽負荷検出回路と前記スイッチング素子の出力端子との間に設けられ、前記下限電圧の値又は前記上限電圧の値を調整する軽負荷検出電圧調整手段をさらに備えていることを特徴とする請求項 1 ~ 5 のうちのいずれか 1 項に記載のスイッチング電源用半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、スイッチング電源用半導体装置に関し、特に、軽負荷時の消費電力を削減できる降圧型チョップ方式のスイッチング電源用半導体装置に関する。

【0002】

【従来の技術】 従来のスイッチング電源用半導体装置について図面を参照しながら説明する。

【0003】 図 7 は入力側と出力側とが電気的に絶縁された従来のスイッチング電源用半導体装置 100 を用いたスイッチング電源装置の回路構成を示している。

【0004】 スwitchング電源用半導体装置は、例えば、パワー MOSFET 等からなるスイッチング素子 104 と、該スイッチング素子 104 を制御する制御回路 130 とが、基板上形成領域 100 にモノリシックに形成されている。ここで、基板上形成領域 100 には、スイッチング素子 104 の入力端子であるドレイン端子 T_D、出力端子であるソース端子 T_S 及び制御回路 130 の制御端子 T_C がそれぞれ設けられている。

【0005】 図 7 に示すスイッチング電源装置において、例えば、入力端子に入力される商用電源からの交流電流は、ダイオードブリッジ等からなる整流器 101 により整流される。続いて、入力コンデンサ 102 により平滑化されて直流電圧 V_{in} となり、電力変換用のトランス 103 に入力される。トランス 103 は、第 1 の 1 次

巻線 103a、第 2 の 1 次巻線 103b 及び 2 次巻線 103c を有しており、生成された直流電圧 V_{in} が第 1 の 1 次巻線 103a に入力される。

【0006】トランス 103 の第 1 の 1 次巻線 103a に入力された直流電圧 V_{in} は、スイッチング素子 104 により制御される。このとき、スイッチング素子 104 のスイッチング動作によって、トランス 103 の 2 次巻線 103c に磁気誘導による起電力が発生する。

【0007】2 次巻線 103c に発生した起電力による電流は、2 次巻線 103 と接続されたダイオード 110 及び出力コンデンサ 111 により整流され且つ平滑化されて、出力電圧 V_o の直流電力として負荷 112 に供給される。

【0008】トランス 103 の第 2 の 1 次巻線 103b にも、第 1 の 1 次巻線 103a による直流起電力が発生し、第 2 の 1 次巻線 103b から出力される直流電流は、ダイオード 121 及びコンデンサ 122 からなる補助電源部 120 により整流及び平滑化されて補助電源電圧 V_{cc} が生成される。

【0009】補助電源電圧 V_{cc} により駆動される制御回路 130 は、スイッチング素子 104 のゲートに制御信号を出力する。ここで、補助電源電圧 V_{cc} は、トランス 103 の 2 次巻線 103c から負荷 112 に供給される出力電圧 V_o と比例しており、該出力電圧 V_o を安定させる帰還信号としても用いられる。

【0010】制御回路 130 は、スイッチング素子 104 に印加するスイッチング信号を出力する発振器 131 と、補助電源電圧 V_{cc} と基準電圧との差からなる誤差電圧信号 $VEAO$ を出力する誤差増幅器 132 と、スイッチング素子 104 を流れるドレイン電流 I_D を検出して素子電流検出信号 V_{CL} を出力するドレイン電流検出回路 133 と、誤差電圧信号 $VEAO$ と素子電流検出信号 V_{CL} とを比較し、比較結果を出力する比較器 134 と、比較信号に基づいてスイッチング信号の電流量及び出力を制御するスイッチング信号制御回路 135 とを有している。

【0011】スイッチング信号制御回路 135 は、セット端子に発振器 131 からのクロック信号 CLK を受け、リセット端子に比較器 134 の出力信号を受ける RS フリップフロップ回路 136 と、入力端子に発振器 131 からの最大デューティサイクル信号 MDC を受け、他の入力端子に RS フリップフロップ回路 136 からの出力信号を受ける NAND 回路 137 と、NAND 回路 137 の出力信号を受け、これを反転増幅して制御信号を出力するゲートドライバ 138 とから構成されている。

【0012】以下、前記のように構成されたスイッチング電源装置の動作を説明する。

【0013】図 7 において、まず、装置が起動された直後には、商用電源からの交流電流が整流器 101 に入力

されると、入力された交流電流が整流器 101 と入力コンデンサ 102 とにより、整流及び平滑化されて、直流電圧 V_{in} に変換され、変換された直流電圧 V_{in} はトランス 103 の第 1 の 1 次巻線 103a に印加される。このとき、直流電圧 V_{in} は、制御回路 130 に含まれる内部回路電流供給回路 139 を介して電流が供給され、補助電源部 120 のコンデンサ 122 が充電される。

【0014】その後、補助電源部 120 において、補助電源電圧 V_{cc} が制御回路 130 の起動電圧にまで達すると、制御回路 130 が動作を開始する。これにより、スイッチング素子 104 へのスイッチング動作の制御が開始されると共に、起動・停止回路 140 が、内部回路電流供給回路 139 を停止する。

【0015】制御回路 130 は、負荷 112 に対する出力電圧 V_o が所定の電圧で安定化するように、補助電源電圧 V_{cc} に基づいてスイッチング素子 104 によるスイッチング動作を制御する。具体的には、負荷 112 に対する出力電圧 V_o と補助電源電圧 V_{cc} とをトランス 103 の第 2 の 1 次巻線 103b と 2 次巻線 103c の巻数比に比例した電圧とすると共に、比較器 134 に、誤差増幅器 132 からの誤差電圧信号 $VEAO$ と、ドレイン電流検出回路 133 からの素子電流検出信号 V_{CL} とを比較し、両信号 $VEAO$ 、 V_{CL} が互いに等しくなったときに、RS フリップフロップ回路 136 のリセット端子にハイレベルの出力信号を出力するようにしている。

【0016】次に、図 8 のタイミングチャートに示すように、負荷変動時において、負荷 112 に対する電流供給量が減り、負荷供給電流 I_o が低下すると、出力電圧 V_o が若干上昇する。これを受けて、帰還側の補助電源部 120 の補助電源電圧 V_{cc} も上昇し、誤差増幅器 132 からの誤差電圧信号 $VEAO$ が低下する。

【0017】負荷変動時や待機時等の無負荷時及び軽負荷時のように、誤差電圧信号 $VEAO$ が低下した状態で、誤差電圧信号 $VEAO$ と素子電流検出信号 V_{CL} とが等しくなると、比較器 134 から RS フリップフロップ回路 136 のリセット端子にリセット信号が出力されるため、NAND 回路 137 からは、定常負荷時よりも早いタイミングでスイッチング素子 104 をオフ状態とする信号が出力される。その結果、スイッチング素子 104 は、スイッチング動作時におけるオン状態となる時間が短くなるため、スイッチング素子 104 を流れるドレイン電流 I_D が減少する。

【0018】このように、従来のスイッチング電源用半導体装置における制御回路 130 は、負荷 112 に供給される負荷供給電流 I_o に応じて、スイッチング素子 104 に流れるドレイン電流 I_D の大きさを制御することにより、軽負荷時の消費電力を低減することができる電流モード制御方式を採っている。

【0019】

【発明が解決しようとする課題】しかしながら、前記従

来のスイッチング電源用半導体装置は、待機時等の軽負荷時にはスイッチング素子104に流れるドレイン電流IDが低減されるものの、ドレイン電流IDを完全に0にすることができないため、無負荷時でも、ある程度の電流が流れる。従って、無負荷時においても、スイッチング素子104のスイッチング動作によって電流が損失するため、負荷が小さくなる程スイッチング素子104における電流損失の割合が大きくなる。その結果、電源の効率が低下して、電源の待機時の省電力化を達成できないという問題がある。

【0020】本発明は、前記従来の問題を解決し、その目的は、簡単な構成で、軽負荷時のスイッチング損失を減らすことにより、消費電力を削減してチョッパ方式のスイッチング電源用半導体装置における電源効率を確実に向上することができるようにする。

【0021】

【課題を解決するための手段】前記の目的を達成するため、本発明は、スイッチング電源用半導体装置を、出力電圧に基づいて帰還される帰還信号から制御回路の電源電圧を生成し、生成した電源電圧に基づいて、スイッチ

ング素子に対するスイッチング信号の出力を停止する構成とする。

【0022】具体的に、本発明に係るスイッチング電源用半導体装置は、入力端子に第1の直流電圧を受けるスイッチング素子と、スイッチング素子からの出力信号を受け、第1の直流電圧を該第1の直流電圧の絶対値よりも小さい第2の直流電圧に変換して出力する出力電圧生成回路と、スイッチング素子の動作を制御する制御回路と、第2の直流電圧の電圧値を検出し、検出した信号を帰還信号として制御回路に帰還する出力電圧検出回路と、制御回路の電源電圧を生成する電源電圧生成回路とを備えたスイッチング電源装置を制御するスイッチング電源用半導体装置を対象とし、スイッチング電源用半導体装置は、スイッチング素子及び制御回路を含み、制御回路は、スイッチング素子に印加するスイッチング信号を生成して出力する発振器と、スイッチング素子を流れる電流を検出し、素子電流検出信号として出力する電流検出回路と、帰還信号を検出し、検出した帰還信号をその増減と反対の向きに変化する帰還電圧信号に変換して出力する帰還電圧変換回路と、素子電流検出信号と帰還電圧信号とを比較し、比較した比較信号を出力する比較器と、比較信号に基づいてスイッチング信号の電流量及び出力を制御するスイッチング信号制御回路と、帰還電圧信号が下限電圧値よりも小さい場合にはスイッチング信号制御回路に対してスイッチング素子へのスイッチング信号の出力を停止し、帰還電圧信号が上限電圧値よりも大きい場合にはスイッチング信号制御回路に対してスイッチング信号の出力を開始する軽負荷検出回路とを有している。

【0023】本発明のスイッチング電源用半導体装置に

よると、スイッチング電源装置は、一般に、軽負荷時には消費される電流が減少して装置の出力電圧である第2の直流電圧が上昇すると、制御回路に帰還する帰還信号の電流量が増える。これにより、制御回路の電源電圧が上昇するため、帰還電圧変圧回路から出力され帰還信号が変換されてなる帰還電圧信号は、検出した帰還信号がその増減と反対の向きに変化するので、その電圧値は低下する。このとき、軽負荷検出回路は、帰還電圧信号が下限電圧値よりも小さい場合にはスイッチング信号制御回路に対してスイッチング素子へのスイッチング信号の出力を停止するため、スイッチング素子における損失が減り、軽負荷時の消費電力を削減できるので、チョッパ方式のスイッチング電源用半導体装置の電源効率を向上することができる。

【0024】本発明のスイッチング電源用半導体装置において、軽負荷検出回路が、互いに異なる第1の基準電圧及び第2の基準電圧を出力する基準電圧源と、一方の入力端子が基準電圧源からの出力電圧を受け、他方の入力端子が帰還電圧信号を受ける軽負荷検出用比較器とを有し、基準電圧源の出力電圧値は、軽負荷検出用比較器からの出力信号により、下限電圧値又は上限電圧値となるように設定されていることが好ましい。このようにすると、出力側から入力側に帰還された帰還信号から生成される帰還電圧信号によって、スイッチング信号制御回路からのスイッチング素子に対するスイッチング信号の出力を確実に停止させることができる。

【0025】本発明のスイッチング電源用半導体装置において、基準電圧源が、出力端子を持つ第1の定電流源と、下流側に軽負荷検出用比較器からの比較信号により開閉されるスイッチが設けられた第2の定電流源と、第1の定電流源からの出力電流及び第2の定電流源からの出力電流のうちの少なくとも一方を受け、第1の基準電圧又は第2の基準電圧を生成する出力電圧設定抵抗器とを有していることが好ましい。このようにすると、軽負荷検出用の電圧値である下限電圧及び上限電圧を確実に生成することができる。その上、上限電圧の値が下限電圧の値よりも大きい場合には、例えば、スイッチング素子へのスイッチング信号の出力が停止されると、第2の直流電圧の値が低下して、帰還電圧変換回路からの帰還電圧信号の電圧値が上昇する。ここで、帰還電圧信号が上限電圧値を超えると、軽負荷検出回路は、直ちにスイッチング信号制御回路に対してスイッチング信号の出力を開始してしまうため、スイッチング信号の出力停止期間をほとんど設定できなくなるが、上限電圧値を下限電圧値よりも大きくしておくこと、誤差電圧信号又は帰還電圧信号が上限電圧値を超えるまでに余裕（ヒステリシス特性）が生じることにより、スイッチング信号の出力停止期間を確実に設定することができる。

【0026】本発明のスイッチング電源用半導体装置において、上限電圧の値が素子電流検出信号における振幅

の最大値の約20%であり、下限電圧の値が素子電流検出信号における振幅の最大値の約15%であることが好ましい。

【0027】本発明のスイッチング電源用半導体装置において、スイッチング素子及び制御回路が、スイッチング素子の入力端子及び出力端子、並びに制御回路における帰還信号が入力される入力端子が外部接続端子となるように一つの半導体基板上に集積化されて形成されていることが好ましい。このようにすると、スイッチング電源装置本体の部品数を減らすことができるため、電源装置本体を小型化することができる。

【0028】本発明のスイッチング電源用半導体装置において、半導体基板が、下限電圧又は上限電圧の値を調整するための軽負荷検出電圧調整用端子を有していることが好ましい。このようにすると、半導体装置の外部から軽負荷検出電圧調整用端子を用いて待機時の負荷電流値を最適化できるため、本発明の半導体装置を組み込むシステムの選択肢を増やすことができる。

【0029】本発明のスイッチング電源用半導体装置は、軽負荷検出回路とスイッチング素子の出力端子との間に設けられ、下限電圧の値又は上限電圧の値を調整する軽負荷検出電圧調整手段をさらに備えていることが好ましい。このようにすると、本半導体装置に外部に、軽負荷検出電圧調整手段を設ける必要がなくなると共に、スイッチング電源装置を構成する他の部品の精度のばらつきを容易に吸収することができる。

【0030】

【発明の実施の形態】本発明の一実施形態について図面を参照しながら説明する。

【0031】図1は本発明の一実施形態に係るスイッチング電源用半導体装置及び該半導体装置を用いたスイッチング電源装置の概略的な回路構成を示している。図1に示すように、本実施形態に係るスイッチング電源用半導体装置は、例えば、N型パワーMOSFET等からなるスイッチング素子14と、該スイッチング素子14を制御する制御回路15とが、基板上形成領域20にモノリシックに形成されている。ここで、基板上形成領域20には、外部接続端子であって、スイッチング素子14の入力端子であるドレイン端子TD、出力端子であるソース端子Ts及び制御回路15の制御端子Tcがそれぞれ設けられている。

【0032】また、本実施形態に係るスイッチング電源装置は、主入力端子10に印加される、例えば商用電源からの交流電流を整流し平滑化された第1の直流電圧をトランス13の1次側に印加しながら、スイッチング素子14によるスイッチング動作によって、トランス13の2次側に設けられた出力電圧生成回路16により第2の直流電圧である出力電圧Voにまで降下して主出力端子17に出力する絶縁型チョッパ方式のスイッチング電源装置である。

【0033】以下、スイッチング電源用半導体装置を含むスイッチング電源装置を詳細に説明する。

【0034】トランス13は、第1の1次巻線13a、第2の1次巻線13b及び2次巻線13cを有している。

【0035】主入力端子10には、交流電流を整流するダイオードブリッジ等からなる整流器11と、整流された信号を平滑化して直流電圧Vinを生成する入力コンデンサ12とがそれぞれ並列に接続されている。生成された直流電圧Vinは、トランス13の第1の1次巻線13aに入力された後、スイッチング素子14のドレイン端子TDに入力される。ここで、スイッチング素子14のソース端子Tsは主入力端子10のローレベル側の端子と接続され、そのゲートには、該スイッチング素子14の動作を制御する制御回路15から出力される制御信号が入力される。

【0036】トランス13の2次巻線13cには、出力電圧生成回路16が接続されている。該出力電圧生成回路16は、第1の1次巻線13aに印加され且つスイッチングされた直流電圧Vinの磁気誘導により発生し、発生した起電力による電流を整流する第1のダイオード161と、整流された信号を平滑化する出力コンデンサ162とから構成されている。

【0037】出力電圧生成回路16と接続されている主出力端子17は、そのハイレベル側の端子とローレベル側の端子との間に負荷18が接続され、該負荷18には負荷供給電流Ioが流れる。

【0038】また、トランス13の2次巻線13cと並列に接続され、第2の直流電圧である出力電圧Voを検出する出力電圧検出回路32と、検出した信号を1次側の制御回路15に電流信号からなる帰還信号Iccを絶縁状態で帰還可能なフォトカプラとを備えている。

【0039】出力電圧検出回路32は、主出力端子17に並列に接続され、出力電圧Voを分圧する第1の抵抗器321及び第2の抵抗器322と、制御端子に第1の抵抗器321及び第2の抵抗器322との接続部323の分圧を受け、陽極が第2の抵抗器322の接続部323の反対側の端子と接続され、陰極が発光ダイオード部33aの陰極と接続された基準電源及びオペアンプ等からなる第1のシャントレギュレータ324とを含んでいる。発光ダイオード部33aの陽極は抵抗器を介して出力電圧生成回路16の第1のダイオード161の陰極（出力端子）と接続されている。

【0040】フォトカプラは、2次側の出力電圧検出回路32と接続された発光ダイオード部33aと、1次側の電源回路19及び制御回路15の間に接続された受光トランジスタ部33bとから構成されている。

【0041】トランス13の第1の2次巻線13bには、制御回路15の補助電源電圧Vccを生成する電源回路19が接続されている。電源回路19は、第1の1次

巻線13aに印加され且つスイッチングされた直流電圧Vinによって発生し、発生した起電力による電流を整流する第2のダイオード191と、整流された信号を平滑化する電源コンデンサ192とから構成されている。ここでは、第2の1次巻線13bは、補助電源電圧Vccと出力電圧Voとが比例するように設けられている。また、電源回路19により生成される補助電源電圧Vccは、制御回路15の制御端子Tcに印加される。

【0042】制御回路15は、スイッチング素子14に印加される、発振周波数が100kHz程度のスイッチング信号を生成して出力する発振器21と、出力電圧検出回路32から帰還される帰還信号Iccが抵抗器及び第2のシャントレギュレータ34を介して入力され、その増減と反対の向きに変化する帰還電圧信号VCOに変換して出力する帰還電圧変換回路22と、スイッチング素子14を流れるドレイン電流IDを検出し、検出したドレイン電流IDを電圧に変換し、素子電流検出信号VCLとして出力するドレイン電流検出回路23と、帰還電圧信号VCOと素子電流検出信号VCLとを比較し、比較した比較信号を出力するドレイン電流検出比較器24と、比較信号に基づいてスイッチング信号の電流量及び出力を制御するスイッチング信号制御回路25と、帰還電圧信号VCOが下限電圧値よりも小さい場合にはスイッチング信号制御回路25に対してスイッチング素子14へのスイッチング信号の出力を停止し、帰還電圧信号VCOが上限電圧値よりも大きい場合にはスイッチング信号制御回路25に対してスイッチング信号の出力を開始する軽負荷検出回路40とを有している。

【0043】さらに、制御回路15は、スイッチング素子14のドレイン端子TDと制御回路15の制御端子Tcとの間に接続され且つ制御回路15に対して起動用の電流を供給する内部回路電流供給回路29と、該内部回路電流供給回路29の出力側とスイッチを介して接続され、制御回路15の起動又は停止時にスイッチング信号制御回路25の動作を制御する起動・停止回路30とを有している。

【0044】帰還電圧変換回路22は、逆相端子に帰還信号Iccによりゲイン調整用抵抗器35に生じる電圧を受け、正相端子に基準電圧を受ける比較器221と、ゲートに比較器221の出力信号を受けるP型MOSFET222と、ゲート及びドレインにP型MOSFET222の出力電圧を受ける第1のN型MOSFET223と、該第1のN型MOSFET223とゲートを共有する第2のN型MOSFET224とを含んでいる。抵抗器225を介して電源電圧を受ける第2のN型MOSFET224のドレインは、帰還電圧信号VCOの出力端子であり、第1のN型MOSFET223及び第2のN型MOSFET224のソースはソース端子Tsとそれぞれ接続されている。

【0045】スイッチング信号制御回路25は、セット

端子Sに軽負荷検出回路40の出力信号を受け、リセット端子Rにドレイン電流検出比較器24の出力信号を受けるRSフリップフロップ回路26と、第1の入力端子に本半導体装置が所定温度を超えたときにスイッチング動作を停止させる加熱保護回路36からの出力信号を受け、第2の入力端子に起動・停止回路30の出力信号を受け、第3の入力端子に発振器21からの最大デューティサイクル信号MDCを受け、第4の入力端子にRSフリップフロップ回路26からの出力信号を受けるNAND回路27と、NAND回路27の出力信号を受け、受けた出力信号を反転増幅した制御信号を出力するインバータからなるゲートドライバ28とから構成されている。

【0046】帰還電圧変換回路22の入力端子とスイッチング素子14のソース端子Tsとの間には、帰還電圧変換回路22のためのゲイン調整用抵抗器35が接続されている。

【0047】また、第2のシャントレギュレータ34は、ソースに帰還信号Iccが降圧された電圧を受け、ドレインがゲイン調整用抵抗器35と接続されたP型MOSFETと、逆相端子にP型MOSFETのソース電位を受け、正相端子に基準電圧を受け、比較結果をP型MOSFETのゲートに出力する比較器とから構成されている。これにより、補助電源電圧Vccが所定の電圧に達するまでは、帰還電圧変換回路22は起動しない。

【0048】本実施形態の特徴である軽負荷検出回路40は、基準電圧源41と、正相入力端子に帰還電圧変換回路22からの帰還電圧信号VCOを受け、逆相入力端子に基準電圧源41からの基準電圧VRを受ける軽負荷検出比較器42と、一の入力端子に負荷検出比較器42の出力信号VO1を受け、他の入力端子に発振器21からのクロック信号CLKを受けるAND回路43とから構成されている。基準電圧源41は、軽負荷検出比較器42の出力信号VO1を受けて、基準電圧VRの値が変更可能に構成されている。

【0049】軽負荷検出比較器42は、入力される帰還電圧信号VCOと基準電圧VRとを比較して、帰還電圧信号VCOが基準電圧VRよりも大きい場合に、AND回路43に対してハイレベルの信号を出力する。逆に、帰還電圧信号VCOが基準電圧VRよりも小さい場合には、AND回路43に対してローレベルの信号を出力するため、RSフリップフロップ回路26の出力信号がローレベルとなるので、ゲートドライバ28からの制御信号の出力を停止させることができる。

【0050】また、帰還電圧変換回路22の出力側には、帰還電圧信号VCOの最大値をクランプするPNP型バイポーラトランジスタからなる過電流保護回路31が設けられており、帰還電圧信号VCOがクランプ値を超える場合には、スイッチング素子14のソース端子Tsへ過電流を短絡させることにより、該スイッチング素

子14を保護することができる。

【0051】本実施形態に係るスイッチング電源装置は、直流電圧 V_{in} 及び出力電圧 V_o の電圧値に制限はないが、一例として、直流電圧 V_{in} の値が100V～200Vで、出力電圧 V_o の値が25Vとすれば、この1チップ化により、スイッチング電源装置の部品点数が削減されるため、スイッチング電源装置のサイズも小さくでき、より小型化及び低価格化を実現できる。

【0052】また、スイッチング素子にN型MOSFETを用いたが、代わりにNPN型バイポーラトランジスタを用いてもよい。

【0053】ここで、基準電圧源41の具体的な回路構成の一例を図2に示す。図2に示すように、基準電圧源41は、軽負荷検出用比較器42の逆相端子と接続された出力端子Yを持つ第1の定電流源411と、下流側に軽負荷検出用比較器42からの出力信号 $VO1$ を入力端子X、すなわちゲートに受けるP型MOSFETからなるスイッチトランジスタ413が設けられた第2の定電流源412とを有している。さらに、第1の定電流源411の第1の出力電流 $I1$ 及び第2の定電流源412の第2の出力電流 $I2$ のうちの少なくとも第1の出力電流 $I1$ を受け、下限電圧 $VR1$ 又は上限電圧 $VR2$ を生成する出力電圧設定用の抵抗器414とを有している。

【0054】以上のように構成された基準電圧源41の動作を説明する。

【0055】定常負荷時においては、軽負荷検出用比較器42の出力信号 $VO1$ はハイレベルとなっているため、スイッチトランジスタ413はオフ状態となっている。従って、このときの基準電圧源41の出力信号 VR 、すなわち下限電圧 $VR1$ は、抵抗器414の抵抗値を $R1$ とすると、以下の式(1)で表わされる。

$$【0056】VR1 = R1 \times I1 \quad \dots (1)$$

一方、装置の軽負荷状態が検出されると、軽負荷検出用比較器42の出力信号 $VO1$ はローレベルとなるため、スイッチトランジスタ413がオン状態となり、抵抗器414には第2の定電流源412からの第2の出力電流 $I2$ も同時に流れ込むようになる。従って、このときの基準電圧源41の出力信号 VR 、すなわち上限電圧 $VR2$ は以下の式(2)で表わされる。

$$【0057】VR2 = R1 \times (I1 + I2) \quad \dots (2)$$

このように、軽負荷検出用比較器42の出力信号 $VO1$ に応じて、基準電圧源41の出力電圧 VR が下限電圧 $VR1$ を出力したり、上限電圧 $VR2$ を出力したりすることにより、軽負荷時にスイッチング信号制御回路25に対して、後述するような間欠発振動作を行なわせることができる。

【0058】なお、本実施形態においては、軽負荷検出用比較器42の出力信号 $VO1$ に基づいて、基準電圧源40の出力電圧設定用の定電流値を変化させているが、代わりに、軽負荷検出用比較器42の出力信号 $VO1$ に

基づいて、基準電圧源42の出力電圧設定用の抵抗器414の抵抗値を変化させるようにしてもよい。

【0059】以下、前記のように構成されたスイッチング電源用半導体装置を含むスイッチング電源装置の動作の詳細についてタイミングチャートを参照しながら説明する。

【0060】図3は本実施形態に係るスイッチング電源装置の動作タイミングを表わしている。まず、制御回路15が起動するまでの間は、起動・停止回路30は内部回路電流供給回路29と電源回路19内の電源コンデンサ192の陽極とを接続するように閉じている。

【0061】次に、装置が起動されて、主入力端子10に交流電流が入力されると、内部回路電流供給回路29から電源コンデンサ192の陽極に電流が流れ、制御回路15の補助電源電圧 V_{cc} が上昇する。この補助電源電圧 V_{cc} が制御回路15の起動電圧に達すると、制御回路15が動作を行なえるようになるので、起動・停止回路30は、内部回路電流供給回路29と電源コンデンサ192との接続を切断する。これにより、内部回路電流供給回路29が起動時にのみ動作するため、通常動作時における制御回路15の消費電力を抑えることができる。

【0062】次に、図3に示すように、定常負荷時においては、基準電圧源41の基準電圧 VR の値は下限電圧値 $VR1$ に設定されている。

【0063】その後、例えば、負荷供給電流 I_o が減少するような軽負荷となる負荷変動が生じると、負荷18に対する電力供給が過剰となって、出力電圧 V_o の電圧値は若干上昇する。この出力電圧 V_o の値が上昇することにより、帰還側の電源回路19の補助電源電圧 V_{cc} が上昇すると共に、帰還信号 I_{cc} の電流量が増大する。具体的には、図1において、出力電圧 V_o の値が上昇すると、2次側の出力電圧検出回路32における抵抗分圧生成用の接続部323の電位が上昇して、第1のシャントレギュレータ324が導通状態となる。これにより、フォトカブラの発光ダイオード部33aに順電流が流れ、1次側の受光トランジスタ部33bから制御端子 T_c に、2次側の発光ダイオード部33aの発光量に比例した帰還信号 I_{cc} が注入される。

【0064】制御端子 T_c に注入される帰還信号 I_{cc} の電流量が増大すると、制御回路15の帰還電圧変換回路22において、電流量が増大した帰還信号 I_{cc} を逆相端子に受ける比較器221からのP型MOSFET222のゲートに対する出力値が低下する。その結果、P型MOSFET222は低インピーダンスとなり、該P型MOSFET222のドレイン電位が上昇するため、該ドレイン電位をゲートに受ける第2のN型MOSFET224も低インピーダンスとなって、該第2のN型MOSFET224のドレインから出力される帰還電圧信号 V_{CO} の電圧値が低下する。このとき、ドレイン電流検出回路23から出力される素子電流検出信号 V_{CL} の電圧

値も低下する。

【0065】この帰還電圧信号VCOを正相端子に受ける軽負荷検出用比較器42は、受けた帰還電圧信号VCOの値が下限電圧値VR1よりも小さくなると、AND回路43に対してローレベルの信号を出力するため、スイッチング信号制御回路25のゲートドライバ28がローレベルの制御信号のみを出力して、スイッチング素子14のスイッチング動作が停止する。これとほぼ同時に、軽負荷検出用比較器42のローレベルの出力信号を受けて基準電圧源41の出力電圧VRは、下限電圧値VR1から上限電圧値VR2に変更される。

【0066】待機時のような軽負荷又は無負荷状態となると、出力電圧生成回路16に対して電力の供給が行なわれなくなるため、負荷18への電力供給が出力コンデンサ162からのみ行なわれるようになるので、出力電圧Voは徐々に低下する。これにより、帰還電圧変換回路22からの帰還電圧信号VCOが徐々に上昇するが、基準電圧源41の出力電圧VRは、下限電圧VR1よりも高い上限電圧VR2に設定されているため、図4に示すように、スイッチング素子14によるスイッチング動作が直ちに再開されることがない。

【0067】さらに、出力電圧Voが低下して、逆に帰還電圧信号VCOが上限電圧値VR2を越え、軽負荷検出用比較器42からの出力信号が再びハイレベルとなるため、これを受けるAND回路43はハイレベルの出力信号を出力できるようになるので、スイッチング素子14のスイッチング動作が再開される。これとほぼ同時に、軽負荷検出用比較器42のハイレベルの出力信号を受けて基準電圧源41の出力電圧VRは、上限電圧値VR2から下限電圧値VR1に再設定される。

【0068】次に、待機時において、スイッチング素子14によるスイッチング動作が再開されると、スイッチング素子14に流れるドレイン電流IDは、軽負荷検出時の電流値よりも大きくなっているため、負荷18への電力供給が過剰となって、再び出力電圧Voが上昇し、帰還電圧変換回路22からの帰還電圧信号VCOが低下する。従って、前述したように、帰還電圧信号VCOが下限電圧値VR1よりも小さくなると、スイッチング素子14に対するスイッチング信号の出力を再度停止する。

【0069】本実施形態においては、基準電圧源41から出力される基準電圧VRが軽負荷状態を検出することによりスイッチング動作を停止し、さらに、基準電圧VRを下限電圧値VR1から上限電圧値VR2へと変更することにより、帰還電圧信号VCOが上昇しても、直ちにスイッチング動作が開始されることがないように基準電圧VRにヒステリシス特性を与えている。これにより、軽負荷又は無負荷を検出している間は、スイッチング素子14に対するスイッチング制御は、スイッチング動作の停止と再開とが繰り返される間欠発振状態とな

る。

【0070】なお、出力電圧Voは、間欠発振状態のスイッチング停止期間中に低下するが、この低下の度合いは負荷供給電流Ioに依存する。すなわち、負荷供給電流Ioが小さくなる程、出力電圧Voの低下が緩やかになる。

【0071】また、間欠発振状態におけるスイッチング停止期間は、負荷供給電流Ioが小さくなる程長くなる。すなわち、軽負荷になる程スイッチング素子14のスイッチング動作が減少することになる。

【0072】また、スイッチング素子14の動作を停止又は再開させる軽負荷検出電圧値を高く設定し過ぎるとトランス13に音なりが発生する。一方、軽負荷検出電圧値を低く設定し過ぎると間欠動作状態（間欠モード）に遷移しにくくなる。このため、最適な軽負荷検出電圧値はこれらのトレードオフによって決まることになる。従って、一の軽負荷検出電圧である下限電圧値VR1を、スイッチング素子14に流れるドレイン電流IDを規制する過電流保護電圧の約15%とし、他の軽負荷検出電圧値である上限電圧値VR2を過電流保護電圧の約20%とすることが好ましい。

【0073】また、例えば出力が0.3Wのスイッチング電源装置を例に採ると、従来の電源装置では消費電力が1Wで電源効率が30%程度であったが、本実施形態に係る電源装置では消費電力が0.45Wで電源効率が67%となり、低消費電力で且つ高効率が達成されることを確認している。

【0074】また、本実施形態に係るスイッチング電源装置は、基板上形成領域20に、1次側、すなわち入力側の制御回路15及びスイッチング素子14を含むため、半導体集積回路として1チップ化することも容易に行なえる上に、部品数を削減できるため、コストの低減も容易となる。

【0075】なお、図1に示した帰還電圧変換回路22及び出力電圧検出回路32の回路構成は、これらに限定されるものではなく、同等の機能を有する回路構成であれば良い。

【0076】（一実施形態の第1変形例）以下、本発明の一実施形態の第1変形例について図面を参照しながら説明する。

【0077】図5は本発明の一実施形態の第1変形例に係るスイッチング電源用半導体装置の概略的な回路構成を示している。図5において、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0078】図5に示すように、第1変形例に係るスイッチング電源用半導体装置は、基板上形成領域20の端部に、軽負荷検出用比較器42の逆相入力端子と電気的に接続された軽負荷検出電圧調整用端子TRが設けられていることを特徴とする。

【0079】これにより、一端が軽負荷検出電圧調整用端子TRと接続され、他端がソース端子Tsと接続された検出電圧可変手段としての軽負荷検出電圧調整用抵抗器51を設けることによって、軽負荷検出電圧である下限電圧値VR1及び上限電圧値VR2を適当に調整することができるようになる。このため、待機時における必要な負荷と併せて、スイッチング素子14のスイッチング動作が停止又は再開する際の負荷供給電流Ioを最適化することができる。その結果、スイッチング素子14及び制御回路15が1チップ化されている場合であつても、軽負荷検出回路40の下限電圧値VR1又は上限電圧値VR2を電源装置の用途に応じて変更できるようになる。

【0080】（一実施形態の第2変形例）以下、本発明の一実施形態の第2変形例について図面を参照しながら説明する。

【0081】図6は本発明の一実施形態の第2変形例に係るスイッチング電源用半導体装置の概略的な回路構成を示している。図6において、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0082】図6に示すように、第2変形例に係るスイッチング電源用半導体装置は、一端が軽負荷検出用比較器42の逆相入力端子と接続され、他端がソース端子Tsと接続された軽負荷検出電圧調整手段としての軽負荷検出電圧調整用抵抗器51Aが設けられていることを特徴とする。

【0083】これにより、軽負荷検出電圧調整用抵抗器51Aを、例えばレーザートリミング法等により該抵抗器51Aの抵抗値を微調整することができるようになる。これにより、スイッチング電源用半導体装置の外部に設ける部品点数を削減することができる。

【0084】その上、基板上形成領域20内に、すなわち半導体装置内に軽負荷検出電圧調整用抵抗器51Aを設けるため、スイッチング電源装置を構成する他の部品の精度のばらつきをも吸収することができる。

【0085】

【発明の効果】本発明に係るスイッチング電源用半導体装置によると、出力側からの帰還信号をその増減と反対の向きに変化するように変換する帰還電圧変圧回路と、帰還電圧信号が下限電圧値よりも小さい場合にスイッチング信号制御回路に対してスイッチング素子へのスイッチング信号の出力を停止する軽負荷検出回路とを有しているため、スイッチング素子における損失が減り、軽負荷時の消費電力を削減できるので、チョップ方式のスイッチング電源用半導体装置の電源効率を向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るスイッチング電源用半導体装置を含むスイッチング電源装置を示す概略的な

回路図である。

【図2】本発明の一実施形態に係るスイッチング電源用半導体装置における出力値が可変となる基準電圧源を示す回路図である。

【図3】本発明の一実施形態に係るスイッチング電源用半導体装置を含むスイッチング電源装置の動作を示すタイミングチャートである。

【図4】本発明の一実施形態に係るスイッチング電源用半導体装置における軽負荷検出用比較器に用いる基準電圧を示すタイミングチャートである。

【図5】本発明の一実施形態の第1変形例に係るスイッチング電源用半導体装置を示す概略的な回路図である。

【図6】本発明の一実施形態の第2変形例に係るスイッチング電源用半導体装置を示す概略的な回路図である。

【図7】従来のスイッチング電源用半導体装置を含むスイッチング電源装置を示す概略的な回路図である。

【図8】従来のスイッチング電源装置の動作を示すタイミングチャートである。

【符号の説明】

10	主入力端子
11	整流器
12	入力コンデンサ
13	トランス
13a	第1の1次巻線
13b	第2の1次巻線
13c	2次巻線
14	スイッチング素子
15	制御回路
16	出力電圧生成回路
161	第1のダイオード
162	出力コンデンサ
17	主出力端子
18	負荷
19	電源回路
191	第2のダイオード
192	電源コンデンサ
20	基板上形成領域
21	発振器
22	帰還電圧変換回路
221	比較器
222	P型MOSFET
223	第1のN型MOSFET
224	第2のN型MOSFET
225	抵抗器
23	電流検出回路
24	ドレイン電流検出用比較器
25	スイッチング信号制御回路
26	RSフリップフロップ回路
27	NAND回路
28	ゲートドライバ

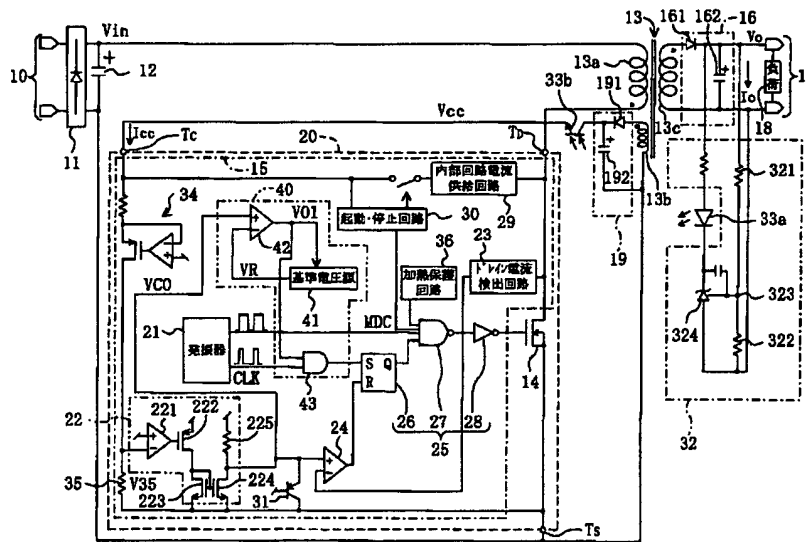
17

- 2 9 内部回路電流供給回路
- 3 0 起動・停止回路
- 3 1 過電流保護回路
- 3 2 出力電圧検出回路
- 3 2 1 第 1 の抵抗器
- 3 2 2 第 2 の抵抗器
- 3 2 3 接続部
- 3 2 4 第 1 のシャントレギュレータ
- 3 3 a 発光ダイオード部
- 3 3 b 受光トランジスタ部
- 3 4 第 2 のシャントレギュレータ
- 3 5 ゲイン調整用抵抗器
- 3 6 加熱保護回路
- 4 0 軽負荷検出回路
- 4 1 基準電圧源

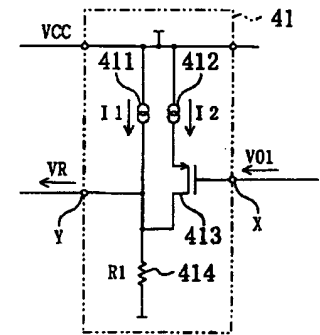
18

- 4 1 1 第 1 の定電流源
- 4 1 2 第 2 の定電流源
- 4 1 3 スイッチトランジスタ (スイッチ)
- 4 1 4 抵抗器 (出力電圧設定抵抗器)
- 4 2 軽負荷検出用比較器
- 4 3 AND回路
- 5 1 軽負荷検出電圧調整用抵抗器 (検出電圧可変手段)
- 5 1 A 軽負荷検出電圧調整用抵抗器 (軽負荷検出電圧調整手段)
- 10 調整手段)
 - Ts ソース端子
 - TD ドレイン端子
 - Tc 制御端子
 - TR 軽負荷検出電圧調整用端子

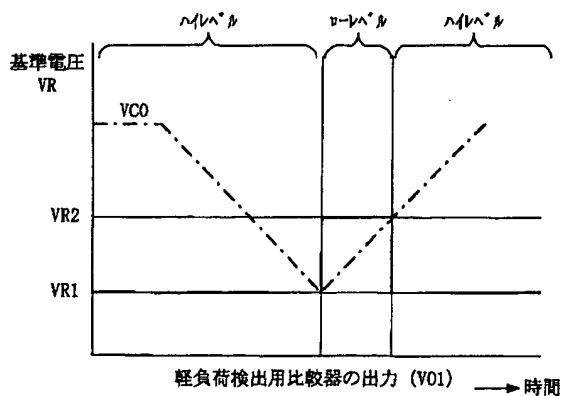
【図 1】



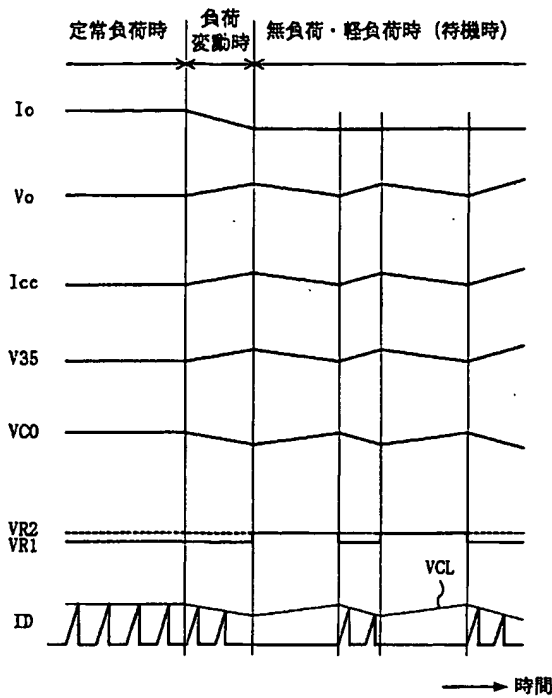
【図 2】



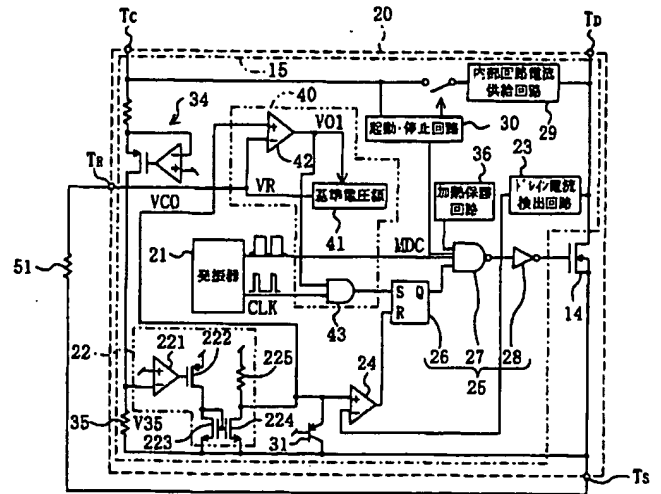
【図 4】



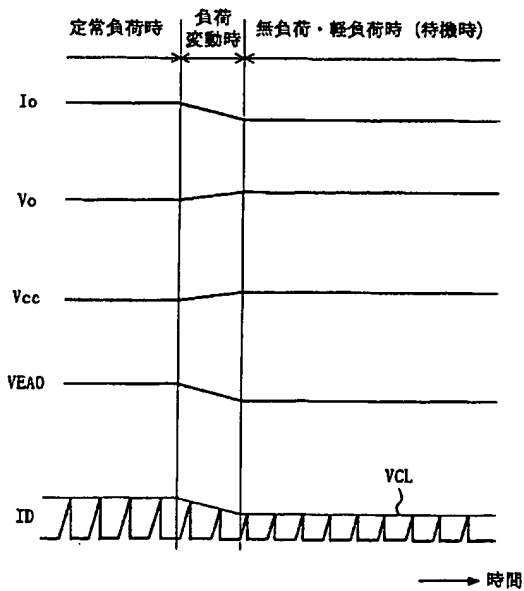
【図 3】



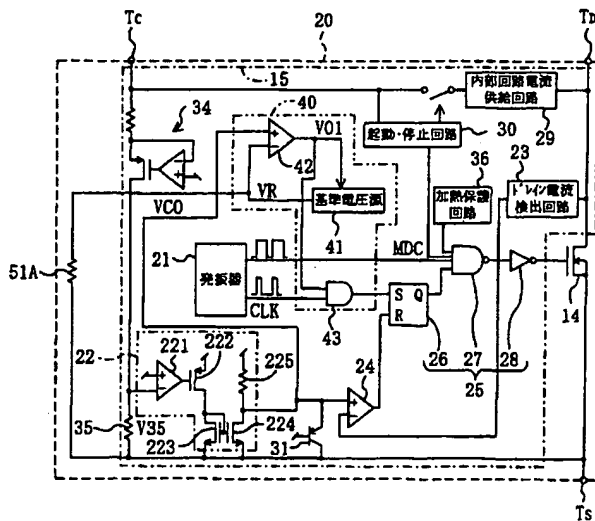
【図 5】



【図 8】



【図 6】



[illegible]

(72) 発明者 高橋 理
大阪府高槻市幸町 1 番 1 号 松下電子工業
株式会社内

(72) 発明者 林 和治
大阪府高槻市幸町 1 番 1 号 松下電子工業
株式会社内

(72) 発明者 山下 哲司
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
Fターム(参考) 5F038 BB04 BB09 DF01 DF08 EZ20
5H730 AA12 AA14 AS01 AS23 BB43
BB57 CC01 DD04 DD26 DD32
EE07 FD01 FF19 FG05 FG25